



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 6 日
Date of Application:

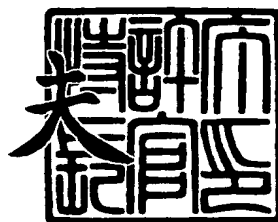
出 願 番 号 特 願 2 0 0 3 - 0 5 9 6 1 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 9 6 1 3]

出 願 人 パイオニア株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 4 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康



出 証 番 号 出 証 特 2 0 0 3 - 3 1 0 6 7 4 3

【書類名】 特許願

【整理番号】 57P0508

【提出日】 平成15年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/28

【発明の名称】 表示パネルの駆動装置

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 井手 茂生

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 パイオニア株式会社内

【氏名】 岩見 隆

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557



・【プルーフの要否】 要

・【書類名】 明細書

【発明の名称】 表示パネルの駆動装置

【特許請求の範囲】

【請求項 1】 行電極群と、前記行電極群と交差して配列された列電極群と、前記行電極群と前記列電極群との各交点の各々に配置された容量性発光素子とを有する表示パネルを駆動するために、前記行電極群に第 1 駆動パルス及び第 2 駆動パルスを印加する駆動装置であって、

インダクタを含む正逆電流路を択一的に形成する共振回路と、前記共振回路の出力端を選択的に電源電位にクランプする第 1 スイッチ及び前記共振回路の出力端を選択的に接地電位にクランプする第 2 スイッチとを含むクランプ回路と、を有し、前記第 1 駆動パルスを発生してこれを出力ラインに印加する第 1 駆動パルス生成部と、

前記第 2 駆動パルスを発生してこれを前記行電極群に印加する第 2 駆動パルス生成部と、

前記第 1 駆動回路発生部によって前記行電極群に前記第 1 駆動パルスが印加されている間においてはオン状態となって前記出力ラインと前記行電極群とを接続し、かつ前記第 2 駆動パルス生成部によって前記行電極群に前記第 2 駆動パルスが印加されている間においてはオフ状態となり前記出力ラインと前記行電極間の接続を遮断するマスク回路とを備え、

前記クランプ回路及び前記マスク回路とをモジュール化したことを特徴とする表示パネルの駆動装置。

【請求項 2】 前記第 2 駆動パルスは前記第 1 駆動パルスの極性とは異なる極性を有することを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 3】 前記第 2 駆動パルスは前記第 1 駆動パルスの電圧値よりも高い電圧値を有することを特徴とする請求項 1 記載の表示パネルの駆動装置。

【請求項 4】 前記第 1 駆動パルスは維持パルスであり、前記第 2 駆動パルスはリセットパルスであることを特徴とする請求項 1 記載の表示パネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、プラズマディスプレイパネル等の表示パネルの駆動装置に関する。

【0002】

【従来の技術】

プラズマディスプレイパネルを駆動するための従来の駆動装置としては、次の特許文献1に示されたものがある。

【0003】

【特許文献1】

特開平11-73156号公報

特許文献1に示された駆動装置は、AC（交流放電）型のプラズマディスプレイパネル（以下、PDPと称する）を駆動するものである。PDPにおいては、行電極対をなす行電極 $Y_1 \sim Y_n$ 及び行電極 $X_1 \sim X_n$ （ n は行数）と、その行電極対に直交し、かつ誘電体層及び放電空間を挟んで列電極 $D_1 \sim D_m$ （ m は列数）とが形成されている。行電極対と列電極との交差部各々に放電セルが形成される。放電セルはPDP画面の $m \times n$ の画素をなすものである。

【0004】

かかるPDPの駆動装置は、供給された映像信号を1画素毎の N ビットの画素データに変換し、これをPDPにおける1行分毎に m 個の画素データパルスに変換してPDPの列電極 $D_1 \sim D_m$ 各々に印加する。更に、駆動装置は、所定のタイミングにて、リセットパルス RP_X 、リセットパルス RP_Y 、走査パルス SP 、維持パルス IP_X 、維持パルス IP_Y 、及び消去パルス EP 各々を含んだ行電極駆動信号を発生し、これをPDPの行電極対（ $X_1 \sim X_n$, $Y_1 \sim Y_n$ ）に印加する。リセットパルス RP_X 及び RP_Y はリセット行程に発生され、リセットパルスの印加によりPDPの全ての放電セルが放電励起して荷電粒子が発生し、この放電終息後、全放電セルの誘電体層には一様に所定量の壁電荷が形成される。走査パルス SP は画素データ書込行程に発生され、走査パルス SP が供給された行電極上の放電セルに画素データパルスが供給される。これによって放電セルの放電が維持されるか否かが決定される。画素データパルスに応じて放電が維持される放電

セルの壁電荷はそのまま維持されるが、放電が維持されない放電セルの壁電荷は消去される。維持パルス IP_X 及び IP_Y は維持放電行程に発生され、放電が維持される放電セルにおいて維持パルス IP_X 及び IP_Y の行電極への印加によって放電が行われる。消去パルス EP は消去行程に発生され、消去パルス EP の行電極への印加によって放電セルの壁電荷が消去される。

【0005】

図1は特許文献1に示された駆動装置において行電極 $Y_1 \sim Y_n$ のために上記のリセットパルス RP_Y 及び維持パルス IP_Y を発生するパルス回路を示している。このパルス回路は維持パルス発生回路120、リセットパルス発生回路130及びスイッチ素子としてのPチャネル型のMOS (Metal Oxide Semiconductor) トランジスタ Q_7 とからなる。

【0006】

リセットパルス発生回路130内では、リセット行程期間中に図2に示すように、外部からの論理レベル"1"のゲート信号 GT_5 に応じてMOSトランジスタ Q_5 がオン状態となる。これにより、直流電源 B_2 の負側端子の負の電位がトランジスタ Q_5 及び抵抗 R_1 を介してライン300上に印加されて、負電圧のリセットパルス RP_Y がPDPの行電極 $Y_1 \sim Y_n$ に印加される。抵抗 R_1 の作用により、リセットパルス RP_Y のフロントエッジ部の波形はなだらかになる。また、MOSトランジスタ Q_7 には、論理レベル"1"のゲート信号 GT_7 が供給されているので、MOSトランジスタ Q_7 はオフ状態にある。よって、少なくともリセットパルス RP_Y が発生している期間中は、ライン200及びライン300間は遮断された状態になる。

【0007】

維持パルス発生回路120においては、維持放電行程期間中に図2に示すように、ゲート信号 GT_3 の論理レベルが"0"～"1"～"0"、ゲート信号 GT_3 の論理レベルが"1"～"0"～"1"、更にゲート信号 GT_2 の論理レベルが"0"～"1"～"0"へと順次切り替わることにより、正電圧の維持パルス IP_Y が発生する。すなわち、先ず、論理レベル"1"のゲート信号 GT_3 に応じて、MOSトランジスタ Q_3 がオン状態となり、コンデンサ C_1 に蓄積されていた電荷に応じた電流

がMOSトランジスタQ3、ダイオードD2、及びコイルL2を介してライン200上に流れ込む。このときMOSトランジスタQ7には論理レベル"0"のゲート信号GT7が供給されているので、MOSトランジスタQ7はオン状態にあり、ライン200及び300間が接続される。これにより、ライン300上、すなわちPDPの行電極 $Y_1 \sim Y_n$ のレベルは、徐々に上昇して行く。これが維持パルスIPYの立ち上がり部分である。次に、論理レベル"1"のゲート信号GT1に応じて、MOSトランジスタQ1がオン状態となる。これにより、直流電源B1の正側端子の正電位がライン200及びMOSトランジスタQ7を介してライン300上に印加されて、所定の正電圧の維持パルスIPYとなる。次に、論理レベル"1"のゲート信号GT2に応じてMOSトランジスタQ2がオン状態となる。これにより、PDPに帯電されていた電荷に応じた電流がMOSトランジスタQ2、ダイオードD1、及びコイルL1を介してコンデンサC1に流れ込む。かかるコンデンサC1の充電動作により、PDPの行電極 $Y_1 \sim Y_n$ のレベルは徐々に下降して行き、維持パルスIPYは消滅する。

【0008】

【発明が解決しようとする課題】

壁電荷が形成された放電セルでは、維持放電行程期間において維持パルスが印加されると、維持放電が生じ、上記したように電源B1からトランジスタQ1及びトランジスタQ7を介して行電極に放電電流が流れる。

その放電電流が瞬間的に流れて停止すると、トランジスタQ1から行電極までのライン200及び300を含む電流路における配線パターンのインダクタンス成分により、逆起電力が発生し、電圧が振動し、駆動パルス波形にリップルが生じ、輝度や発光効率が悪化するという問題があった。

【0009】

本発明が解決しようとする課題には、上記の問題点が一例として挙げられ、駆動パルス波形を改善し、輝度や発光効率を向上することができる表示パネルの駆動装置を提供することが本発明の目的である。

【0010】

【課題を解決するための手段】

請求項 1 に係る発明の駆動装置は、行電極群と、前記行電極群と交差して配列された列電極群と、前記行電極群と前記列電極群との各交点の各々に配置された容量性発光素子とを有する表示パネルを駆動するために、前記行電極群に第 1 駆動パルス及び第 2 駆動パルスを印加する駆動装置であって、インダクタを含む正逆電流路を択一的に形成する共振回路と、前記共振回路の出力端を選択的に電源電位にクランプする第 1 スイッチ及び前記共振回路の出力端を選択的に接地電位にクランプする第 2 スイッチとを含むクランプ回路と、を有し、前記第 1 駆動パルスを発生してこれを出力ラインに印加する第 1 駆動パルス生成部と、前記第 2 駆動パルスを発生してこれを前記行電極群に印加する第 2 駆動パルス生成部と、前記第 1 駆動回路発生部によって前記行電極群に前記第 1 駆動パルスが印加されている間においてはオン状態となって前記出力ラインと前記行電極群とを接続し、かつ前記第 2 駆動パルス生成部によって前記行電極群に前記第 2 駆動パルスが印加されている間においてはオフ状態となり前記出力ラインと前記行電極群との接続を遮断するマスク回路とを備え、前記クランプ回路及び前記マスク回路とをモジュール化したことを特徴としている。

【0011】

【発明の実施の形態】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

図 3 は、本発明を適用したプラズマディスプレイ（PDP）装置の構成を示している。図 3 に示した PDP 装置は、A/D 変換器 1 と、駆動制御回路 2 と、データ変換回路 3 と、メモリ 4 と、アドレスドライバ 6 と、第 1 サステインドライバ 7 と、第 2 サステインドライバ 8 と、PDP 10 とからなる。

【0012】

A/D 変換器 1 は、駆動制御回路 2 から供給されるクロック信号に応じてアナログの入力映像信号をサンプリングし、サンプリングした映像信号を 1 画素毎に例えば 8 ビットの画素データ D に変換し、その画素データ D をデータ変換回路 3 に供給する。

駆動制御回路 2 は、入力映像信号中の水平及び垂直同期信号に同期して、A/D 変換器 1 に対する上記のクロック信号、及びメモリ 4 に対する書込・読出し信

号を発生する。また、駆動制御回路 2 は、図 4 に示す発光駆動フォーマットに従って PDP 10 を階調駆動する各種のスイッチング信号を発生して、アドレスドライバ 6、第 1 サステインドライバ 7、第 2 サステインドライバ 8 の各々に供給する。

【0013】

データ変換回路 3 は、8 ビットの画素データ D を、14 ビットの変換画素データ（表示画素データ）HD に変換し、変換された画素データ HD をメモリ 4 に供給する。

メモリ 4 は、駆動制御回路 2 から供給される書込信号に従って上記変換画素データ HD を順次書き込む。この書込動作により 1 画面（m 列×n 行）分の書込が終了すると、メモリ 4 は、この 1 画面分の変換画素データ $HD_{1,1} \sim HD_{m,n}$ を各ビット桁毎に分割して読み出し、読み出した変換画素データを 1 表示ライン毎にアドレスドライバ 6 に供給する。

【0014】

アドレスドライバ 6 は、駆動制御回路 2 から供給されたタイミング信号に応じて、メモリ 4 から読み出された 1 表示ライン分の変換画素データの各ビットの論理レベルに対応した電圧を有する m 個の画素データパルスを発生し、これらの画素データパルスを PDP 10 の対応する列電極 $D_1 \sim D_m$ に印加する。

第 1 及び第 2 サステインドライバ 7、8 は、駆動制御回路 2 から供給されたタイミング信号の応じて、各種駆動パルスを生成し、これらのパルスを PDP 10 の行電極 $X_1 \sim X_n$ 、 $Y_1 \sim Y_n$ に印加する。

【0015】

PDP 10 は、m 個の列電極 $D_1 \sim D_m$ と、その列電極と交差して配列された行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ を備えている。PDP 10 では、一对の行電極 (X_1, Y_1) 、 (X_2, Y_2) 、…… (X_n, Y_n) 各々が 1 表示ラインに対応している。すなわち、PDP 10 における第 1 行目（第 1 表示ライン）の行電極対は (X_1, Y_1) であり、第 n 行目（第 n 表示ライン）の行電極対は (X_n, Y_n) である。列電極 $D_1 \sim D_m$ 及び行電極対 $(X_1, Y_1) \sim (X_n, Y_n)$ は、それぞれ誘電体層で被覆され、列電極 $D_1 \sim D_m$ は、交差部で放電空間を介して行電極対 $(X_1, Y_1) \sim (X_n,$

$\cdot Y_n$)と対向している。各放電空間にはキセノン (Xe) などの放電ガスが封入され、行電極対(X_1, Y_1) \sim (X_n, Y_n)と列電極 $D_1 \sim D_m$ との各交差部には、表示画素を担う放電セルが形成されている。このようにして、放電セルはマトリクス状に配列された構造を採るものである。

【0016】

図5は第1及び第2サステインドライバ7, 8の内部構成を示している。すなわち、第1及び第2サステインドライバ7, 8と、行電極対(X_i, Y_i)及び列電極 D_j とによって形成される放電セルとの構成を詳細に示すものである。なお、 $1 \leq i \leq n$, $1 \leq j \leq m$ である。電極 X_j と Y_j との間は負荷容量 C_0 として作用するようになっている。

【0017】

図5に示すように、第1サステインドライバ7は、リセットパルス RP_X を発生するリセットパルス発生回路 R_X と、3つのスイッチ素子を有するスイッチモジュール SW_X と、維持パルス IP_X を発生する維持パルス発生回路 I_X とからなる。

維持パルス発生回路 I_X は、共振回路であり、コンデンサ C_{11} 、スイッチ素子 S_{11} , S_{12} 、コイル (インダクタ) L_{11} , L_{12} 及びダイオード D_{11} , D_{12} からなる。スイッチ素子 S_{11} 、ダイオード D_{11} 及びコイル L_{11} はその順に直列に接続され、ダイオード D_{11} のアノードがコイル L_{11} 側に位置するように極性の向きは定められている。コイル L_{12} 、ダイオード D_{12} 及びスイッチ素子 S_{12} はその順に直列に接続され、ダイオード D_{12} のアノードがコイル L_{12} 側に位置するようにされている。更に、その2つの直列回路は並列に接続されている。すなわち、スイッチ素子 S_{11} の一端とコイル L_{12} の一端とが接続され、コイル L_{11} の一端とスイッチ素子 S_{12} の一端とが接続されている。そのコイル L_{11} とスイッチ素子 S_{12} との接続ラインはコンデンサ C_{11} を介してアース接続されている。スイッチ素子 S_{11} とコイル L_{12} との接続ラインは維持パルス発生回路 I_X の入出力となっており、スイッチモジュール SW_X に接続されている。

【0018】

・ スイッチモジュール SWX は 3 つのスイッチ素子 S 1 3 ~ S 1 5 からなるモジュールであり、第 1 サスティンドライバ 7 の回路基板とは独立した回路基板上にスイッチ素子 S 1 3 ~ S 1 5 は形成されている。そのスイッチ素子 S 1 3 ~ S 1 5 各々の一端は共通接続され、それがスイッチモジュール SWX の 1 つの外部接続端子となっている。その共通接続のラインは維持パルス発生回路 I X の入出力端子に接続されている。スイッチ素子 S 1 3 ~ S 1 5 各々の他端もスイッチモジュール SWX の外部接続端子となっている。スイッチ素子 S 1 3 の他端は直流電源 B 1 1 の正出力端子に接続されている。直流電源 B 1 1 は直流電圧 V_S を出力する。直流電源 B 1 1 の負出力端子はアース接続されている。スイッチ素子 S 1 4 の他端もアース接続されている。外部接続端子のスイッチ素子 S 1 5 の他端はリセットパルス発生回路 R X を介して行電極対 X i に接続されている。

【0019】

スイッチ素子 S 1 3, S 1 4 及び直流電源 B 1 1 がクランプ回路を構成し、スイッチ素子 S 1 5 がマスク回路を構成する。

リセットパルス発生回路 R X は抵抗 R 1 1、スイッチ素子 S 1 7 及び直流電源 B 1 2 からなる。抵抗 R 1 1、スイッチ素子 S 1 7 及び直流電源 B 1 2 はその順に直列に接続されている。すなわち、行電極対 X i との接続ライン 3 0 とアースとの間にそれらは直列接続されている。直流電源 B 1 2 は直流電圧 V_{RX} を出力する。直流電源 B 1 2 の負出力端子がスイッチ素子 S 1 7 に接続され、正出力端子がアース接続されている。

【0020】

第 2 サスティンドライバ 8 は、リセットパルス R P_Y を発生するリセットパルス発生回路 R Y と、走査パルス S P を発生する走査パルス発生回路 S Y と、3 つのスイッチ素子を有するスイッチモジュール S W Y と、維持パルス I P_Y を発生する維持パルス発生回路 I Y とからなる。

維持パルス発生回路 I Y は、共振回路であり、コンデンサ C 2 1、スイッチ素子 S 2 1, S 2 2、コイル（インダクタ）L 2 1, L 2 2 及びダイオード D 2 1, D 2 2 からなる。スイッチ素子 S 2 1、ダイオード D 2 1 及びコイル L 2 1 はその順に直列に接続され、ダイオード D 2 1 のアノードがコイル L 2 1 側に位置

するように極性の向きは定められている。コイル L 2 2、ダイオード D 2 2 及びスイッチ素子 S 2 2 はその順に直列に接続され、ダイオード D 2 2 のアノードがコイル L 2 2 側に位置するように極性の向きは定められている。更に、その 2 つの直列回路は並列に接続されている。すなわち、スイッチ素子 S 2 1 の一端とコイル L 2 2 の一端とが接続され、コイル L 2 1 の一端とスイッチ素子 S 2 2 の一端とが接続されている。そのコイル L 2 1 とスイッチ素子 S 2 2 との接続ラインはコンデンサ C 2 1 を介してアース接続されている。スイッチ素子 S 2 1 とコイル L 2 2 との接続ラインは維持パルス発生回路 I Y の入出力となっており、スイッチモジュール S W Y に接続されている。

【0021】

スイッチモジュール S W Y は 3 つのスイッチ素子 S 2 3 ～ S 2 5 からなるモジュールであり、第 2 サスティンドライバ 8 の回路基板とは独立した回路基板上にスイッチ素子 S 2 3 ～ S 2 5 は形成されている。スイッチ素子 S 2 3 ～ S 2 5 各々の一端は共通接続され、それがスイッチモジュール S W Y の 1 つの外部接続端子となっている。その共通接続のラインは維持パルス発生回路 I Y の入出力端子に接続されている。スイッチ素子 S 2 3 ～ S 2 5 各々の他端もスイッチモジュール S W Y の外部接続端子となっている。スイッチ素子 S 2 3 の他端は直流電源 B 1 3 の正出力端子に接続されている。直流電源 B 1 3 は直流電圧 V_S を出力する。直流電源 B 1 3 の負出力端子はアース接続されている。スイッチ素子 S 2 4 の他端もアース接続されている。外部接続端子のスイッチ素子 S 2 5 の他端はリセットパルス発生回路 R Y を介して走査パルス発生回路 S Y に接続されている。

【0022】

スイッチ素子 S 2 3、S 2 4 及び直流電源 B 1 3 がクランプ回路を構成し、スイッチ素子 S 2 5 がマスク回路を構成する。

リセットパルス発生回路 R Y は、抵抗 R 2 1、スイッチ素子 S 2 6 及び直流電源 B 1 4 からなる。抵抗 R 2 1、スイッチ素子 S 2 6 及び直流電源 B 1 4 はその順に直列に接続されている。すなわち、走査パルス発生回路 S Y との接続ライン 2 0 とアースとの間にそれらは直列接続されている。直流電源 B 1 4 は直流電圧 V_{RY} を出力する。直流電源 B 1 4 の正出力端子がスイッチ素子 S 2 6 に接続され

、負出力端子がアース接続されている。

【0023】

走査パルス発生回路SYは、スイッチ素子S27、S28、ダイオードD23、D24及び直流電源B15からなる。スイッチ素子S27の一端は接続ライン20及び電源B15の正出力端子に接続され、他端はスイッチ素子S28及び行電極対Yiへの接続ライン40に接続されている。更に、スイッチ素子S27にはダイオードD23が並列に接続され、スイッチ素子S28はダイオードD24が並列に接続されている。ダイオードD23のアノード及びダイオードD24のカソードは接続ライン40に接続されている。電源B15は直流電圧Vhを出力し、その正出力端子は上記のように接続ライン20に接続され、負出力端子はスイッチ素子S28とダイオードD24のアノードとの接続ラインに接続されている。

【0024】

また、接続ライン20及び30の各々には図5に示すようにパターンインピーダンス L_0 が生じているとする。

上記のスイッチ素子S11～S15、S17、S21～S28のオンオフは駆動制御回路2から出力されるスイッチング信号に応じて制御される。図5の各スイッチ素子の矢印が制御回路2からのスイッチング信号を受け入れる制御信号端子である。

【0025】

かかる第1及び第2サスティンドライバ7、8によるPDP10の駆動について説明する。

図6は、図4の発光駆動フォーマットに従ってアドレスドライバ6、第1サスティンドライバ7、第2サスティンドライバ8の各々からPDP10の列電極D1～Dm、行電極X1～Xn及びY1～Ynに印加される各種駆動パルスの印加タイミングを示している。

【0026】

図6に示す例では、1フィールドの表示期間を、図4に示したように14個のサブフィールドSF1～SF14に分割してPDP10に対する駆動を行なう。

各サブフィールドでは、PDP 10の各放電セルに対して画素データの書き込みを行なって発光または非発光の設定を行う画素データ書込行程 Wc と、発光モードに設定された放電セルのみを発光維持させる維持発光行程 Ic とを実施する。また、先頭のサブフィールドSF 1のみで、PDP 10の全放電セルを初期化する一斉リセット行程 Rc を行い、1フィールドの最後のサブフィールドSF 14のみで、消去行程 E を実行する。

【0027】

図6に示すように、一斉リセット行程 Rc では、第1サスティンドライバ7及び第2サスティンドライバ8が、PDP 10の行電極 $X_1 \sim X_n$ 及び $Y_1 \sim Y_n$ 各々に対してリセットパルス RP_X 及び RP_Y を同時に印加する。これにより、行電極 $X_1 \sim X_n$ 、 $Y_1 \sim Y_n$ 間の電位差($|V_x| + |V_y|$)(但し、 $|V_x| < V_{rx}$ 、 $|V_y| < V_{ry}$)がこの行電極間の放電開始電圧 V_{x-y} を超えると、PDP 10の全ての放電セルにおいて行電極間で放電が生じて、各放電セルには一様に所定の壁電荷が形成される。これにより、PDP 10における全ての放電セルは、後述する維持発光行程において発光が可能である発光モードになる。

【0028】

画素データ書込行程 Wc では、アドレスドライバ6が、各行毎の画素データパルス群 $DP_{11} \sim DP_{1n}$ 、 $DP_{21} \sim DP_{2n}$ 、 $DP_{31} \sim DP_{3n}$ 、 \dots 、 $DP_{141} \sim DP_{14n}$ を列電極 $D_1 \sim D_m$ に順次印加して行く。つまり、アドレスドライバ6は、サブフィールドSF 1では、変換画素データ $HD_{1,1} \sim HD_{m,n}$ の第1ビット目に基づいて生成した第1行～第 n 行の各々に対応した画素データパルス群 $DP_{11} \sim DP_{1n}$ を、1表示ライン毎に順次列電極 $D_1 \sim D_m$ に印加して行く。次に、サブフィールドSF 2では、上記変換画素データ $HD_{1,1} \sim HD_{m,n}$ の第2ビット目に基づいて生成した画素データパルス群 $DP_{21} \sim DP_{2n}$ を、1表示ライン毎に列電極 $D_1 \sim D_m$ に順次印加して行くのである。この時、アドレスドライバ6は、変換画素データのビット論理が例えば論理レベル「1」である場合に限り、高電圧の画素データパルスを発生して列電極 D に印加する。第2サスティンドライバ8は、各画素データパルス群 DP の印加タイミングと同一タイミングにて、走査パルス SP を発生し、走査パルス SP を行電極 $Y_1 \sim Y_n$ へと順次印加して

行く。この時、放電セルでは、Y行電極に走査パルスSPが印加され、かつ列電極に高電圧の画素データパルスが印加された場合にのみY行電極と列電極との間で放電（選択消去放電）が生じ、その放電セルに残存していた壁電荷が消去される。選択消去放電により、一斉リセット行程Rcにて発光状態に設定された放電セルは、非発光状態に移行する。なお、高電圧の画素データパルスが印加されなかった列電極に対応する放電セルでは放電が起きず、一斉リセット行程Rcにて設定された状態、すなわち、発光の状態を維持する。

【0029】

すなわち、画素データ書込行程Wcによって、次の維持発光行程において発光状態、すなわち発光モードが維持される放電セルと、消灯状態、すなわち非発光モードのままの放電セルとに、画素データに応じて択一的に設定される。いわゆる放電セルに対する画素データの書き込みが行われるのである。

走査パルスSPは、サブフィールドSF1～SF14の各々にて行電極Y₁～Y_nの順に生成される。

【0030】

維持発光行程Icでは、第1サステンドライバ7及び第2サステンドライバ8は、行電極X₁～X_n及びY₁～Y_nに対して交互に、パルス振幅Vsの維持パルスIP_X及びIP_Yを印加する。この時、画素データ書込行程Wcによって壁電荷が残留している放電セル、すなわち発光モードの放電セルは、維持パルスIP_X及びIP_Yが交互に印加されている期間中、行電極対の行電極間で放電が繰り返して生じて発光状態を維持する。なお、維持発光行程Icにおける発光の持続期間は、サブフィールド毎に異なる

すなわち、サブフィールドSF1での維持発光行程Icにおける発光持続期間を「1」とした場合、他のサブフィールドの発光持続期間は、SF1:1, SF2:3, SF3:5, SF4:8, SF5:10, SF6:13, SF7:16, SF8:19, SF9:22, SF10:25, SF11:28, SF12:32, SF13:35, SF14:39に設定される。

【0031】

このように、各サブフィールドSF1～SF14の発光回数の比を非線形（例

例えば、逆ガンマ比率、 $Y = X^{2.2}$) になるように設定し、これにより入力画素データDの非線形特性（ガンマ特性）を補正するようにしている。

1フィールドの最後のサブフィールドSF14での消去行程Eにおいて、アドレスドライバ6は、消去パルスAPを発生して、これを列電極 $D_1 \sim D_m$ に印加する。一方、第2サスティンドライバ8は、消去パルスAPの印加タイミングと同時に消去パルスEPを発生してこれを行電極 $Y_1 \sim Y_n$ 各々に印加する。これら消去パルスAP及びEPの同時印加により、PDP10における全放電セルにおいて消去放電が生起され、全ての放電セルに残存している壁電荷が消滅される。すなわち、かかる消去放電により、PDP10における全ての放電セルが非発光モードとなる。

【0032】

図7は、図4及び図6に示す発光駆動フォーマットに基づいて実施される発光駆動の全パターンを示す。

図7に示すように、サブフィールドSF1～SF14の内の1つのサブフィールドの画素データ書込行程Wcのみににおいて、各放電セルに対して選択消去放電を実施する(黒丸にて示す)。すなわち、一斉リセット行程RcにてPDP10の全放電セルに形成された壁電荷は、上記選択消去放電が実施されるまでの間残留し、選択消去放電が行われるまでの間に存在するサブフィールドSFの各々での維持発光行程Icにおいて放電によって発光する(白丸にて示す)。すなわち、各放電セルは、1フィールド期間内にて選択消去放電が為されるまでの間、発光モードとなり、その間に存在するサブフィールドの各々での維持発光行程Icにおいて、図4に示す発光期間比にて発光を継続するのである。

【0033】

この時、放電セルが発光モードから非発光モードへと移行する回数は、1フィールド期間内において必ず1回となるようにしている。すなわち、1フィールド期間内において、非発光モードに設定された放電セルを再び発光モードに復帰させるような発光駆動パターンを禁止したのである。

よって、画像表示には関与しないが光強度の高い発光を伴う一斉リセット動作を、1フィールド期間内において1回だけ実施すれば良いので、コントラストの

低下を抑えることができる。

【0034】

また、1フィールド期間内において実施する選択消去放電は、最高でも1回なので、PDPの消費電力を抑えることが可能となる。更に、偽輪郭を抑制できる。

図8は、図4のサブフィールドSF1内において、選択消去アドレス法を採用した場合に、アドレスドライバ6、第1サステインドライバ7及び第2サステインドライバ8がPDP10に印加する様々な駆動パルスとドライバ7、8内のスイッチ素子のオンオフのタイミングとを示す図である。

【0035】

一斉リセット行程Rcにおいて、駆動制御回路2は、リセットパルス発生回路RXに対してスイッチング信号SW17を所定時間だけ供給する。これにより、スイッチ素子S17がオン状態となり、直流電源B12の負出力端子から電圧 $-V_{RX}$ が抵抗R11を介して行電極Xiに印加される。この時、行電極Xi及び行電極Yi間には負荷容量C0が存在するので、行電極Xiの電位は、緩やかに下降して電圧 $-V_{RX}$ に至る。

【0036】

上記動作により、第1サステインドライバ7は、図8に示す波形を有する負極性のリセットパルス RP_X 、すなわち極性が負でありかつ電圧が緩やかに低下するリセットパルス RP_X を行電極 $X_1 \sim X_n$ に印加するのである。

また、一斉リセット行程Rcにおいて、駆動制御回路2は、スイッチング信号SW17と同一タイミングで所定時間だけスイッチング信号SW27及びスイッチング信号SW26を発生する。スイッチング信号SW27は走査パルス発生回路SYに供給され、スイッチング信号SW26はリセットパルス発生回路RYに供給される。スイッチング信号SW27に応じてスイッチ素子S27がオン状態となり、ライン20上の電位はそのまま行電極Yiに印加されることになる。スイッチング信号SW26に応じてスイッチ素子S26がオン状態となり、直流電源B14の正端子電圧である電圧 V_{RY} がスイッチ素子S26、抵抗R21及びライン20を介して行電極Yiに印加される。この時、行電極Xi、Yiの負荷容

量 C_0 により行電極 Y_i の電位は緩やかに上昇して電圧 V_{RY} に至る。

【0037】

上記動作により、第2サステンドライバ8は、図8に示す波形を有する正極性のリセットパルス RP_Y をリセットパルス RP_X の印加と同時に行電極 $Y_1 \sim Y_n$ の各々に一斉に印加する。すなわち、第2サステンドライバ8は、電圧が緩やかに上昇して電圧 V_{RY} に到達するリセットパルス RP_Y を行電極 $Y_1 \sim Y_n$ に印加するのである。

【0038】

リセットパルス RP_X 及び RP_Y の印加に応じて、PDP10の全放電セル内では、対となる行電極 $(X_1, Y_1) \sim (X_n, Y_n)$ 間の電位差が最小リセット放電開始電圧 V_{MIN} を越えると微弱な放電が生じてプライミング粒子が発生する。そして、リセット放電開始電圧 V_{MIN} を上回る電位差が所定期間に亘り印加され続けることにより、放電セル内に所定量の壁電荷が形成されるのである。すなわち、リセット放電を生成しうる最小の電圧 V_{MIN} を放電セルに印加することにより、発光輝度の低い放電を生ぜしめ、行電極間の電圧印加を継続することにより、短時間で所定量の壁電荷を形成するのである。

【0039】

一斉リセット行程 Rc の実行により、PDP10の全放電セルは、後の発光維持行程 Ic において発光(維持放電)が可能な発光モードに初期化される。

なお、選択書込アドレス法を採用した場合、一斉リセット行程 Rc にて、リセットパルス RP_X に対して極性が反対となりかつ短パルスである消去パルス EP を全ての行電極 $X_1 \sim X_n$ に一斉に印加して放電を生起させる。放電の発生により、全放電セル内の壁電荷は消滅されて、全放電セルが非発光モードに初期化されるのである。更に、画素データ書込行程 Wc において負極性の走査パルス SP が印加されると、走査パルス SP が印加された表示ラインと、高電圧の画素データパルスが印加された列との交差部の放電セルのみに放電(選択書込放電)が生じる。この選択書込放電により、放電セル内に壁電荷が誘起され、この放電セルは、後の発光維持行程 Ic において発光(維持放電)可能な発光モードに設定される。一方、走査パルス SP が印加されながらも低電圧の画素データパルスが印加され

た放電セルには上記選択書込放電が生起されず、この放電セルは、先の一斉リセット行程 R_cにて初期化された状態、すなわち壁電荷の無い状態を維持して非発光モードに設定される。

【0040】

次に、画素データ書込行程 W_cでは、アドレスドライバ 6 が、メモリ 4 から供給された画素駆動データビット D_Bに応じたパルス電圧を有する画素データパルスを生成する。このサブフィールド S_{F1}では、アドレスドライバ 6 は、画素駆動データビットに対し、その論理レベルが「1」である場合には高電圧、「0」である場合には低電圧(0 ボルト)の画素データパルスを生成する。そして、アドレスドライバ 6 は、画素データパルスを 1 表示ライン分毎にグループ化した画素データパルス群 D_{P1}~D_{Pn}を列電極 D₁~D_mに順次印加する。

【0041】

この間、駆動制御回路 2 は、画素データパルス群 D_{P1}~D_{Pn}各々の印加タイミングに同期して、スイッチング信号 S_{W28}を対応する行電極の走査パルス発生回路 S_Yに供給して行く。このとき、スイッチング信号 S_{W28}が供給された走査パルス発生回路 S_Yでは、スイッチ素子 S₂₈がオン状態なり、スイッチ素子 S₂₇はオフ状態となる。これにより、図 8 においては電源 B₁₅の負電位 -V_hがスイッチ素子 S₂₈及び接続ライン 40 を介して行電極 Y_iに印加される。行電極 Y_i、すなわち上記の対応する行電極には、電圧 -V_hを有する負極性の走査パルス S_Pが印加されることになる。走査パルス S_Pが印加された表示ラインと、高電圧の画素データパルスが印加された列電極との交差部の放電セルのみに放電(選択消去放電)が生じる。かかる選択消去放電により、放電セル内に保持されていた壁電荷は消滅し、この放電セルは、後述する発光維持行程 I_cにおいて発光(維持放電)しない非発光モードに推移する。一方、走査パルス S_Pが印加されながらも低電圧の画素データパルスが印加された放電セルには選択消去放電は生起されず、この放電セルは、一斉リセット行程 R_cにて初期化された状態、つまり発光モードを維持する。

【0042】

なお、選択書込アドレス法を採用した場合は、画素データ書込行程 W_cにおい

て負極性の走査パルス S_P が印加されると、走査パルス S_P が印加された表示ラインと、高電圧の画素データパルスが印加された列との交差部の放電セルのみに放電(選択書込放電)が生じる。この選択書込放電により、放電セル内に壁電荷が誘起され、この放電セルは、次の発光維持行程 I_c において発光(維持放電)可能な発光モードに設定される。一方、走査パルス S_P が印加されながらも低電圧の画素データパルスが印加された放電セルには選択書込放電が生起されず、この放電セルは、先の一斉リセット行程 R_c にて初期化された状態、即ち壁電荷の無い状態を維持して非発光モードに設定される。

【0043】

すなわち、画素データ書込行程 W_c により、選択消去アドレス法、又は選択書込アドレス法の何れにおいても、PDP 10 の各放電セルは、入力映像信号に基づく画素データに応じて発光モード又は非発光モードのいずれか一方の状態に設定される。

次に、発光維持行程 I_c では、駆動制御回路 2 は、スイッチング信号 $SW_{11} \sim SW_{15}$ を維持パルス発生回路 I_X に供給する。かかるスイッチング信号 $SW_{11} \sim SW_{15}$ に応じて、先ず、スイッチ素子 S_{11} , S_{15} が各々オン状態となり、コンデンサ C_{11} に蓄えられていた電荷に伴う電流がコイル L_{11} 、ダイオード D_{11} 、スイッチ素子 S_{11} , S_{15} 、接続ライン 30 及び行電極 X_i を介して放電セルに流れ込む。これにより、行電極 X_i の電圧は、徐々に上昇する。次に、スイッチ素子 S_{13} , S_{15} がオン状態となり、直流電源 B_{11} の出力電圧 V_S がスイッチ素子 S_{13} , S_{15} 及び接続ライン 30 行を介して電極 X_i に印加される。これにより、行電極 X_i の電圧は電圧 V_S となる。次に、スイッチ素子 S_{12} , S_{15} がオン状態となり、行電極 X_i 及び Y_i 間の負荷容量 C_0 に蓄えられていた電荷に伴う電流が行電極 X_i から接続ライン 30、スイッチ素子 S_{15} 、コイル L_{12} 、ダイオード D_{12} 及びスイッチ素子 S_{12} を介してコンデンサ C_{11} に流れ込む。これにより、行電極 X_i の電圧は下降する。以上の動作を繰り返し実施することにより、維持パルス発生回路 I_X は、維持パルス I_{P_x} を行電極 $X_1 \sim X_n$ に繰り返し印加する。

【0044】

更に、発光維持行程 I_c において、駆動制御回路 2 は、スイッチング信号 $SW_{21} \sim SW_{25}$ を維持パルス発生回路 I_Y に供給する。スイッチング信号 $SW_{21} \sim SW_{25}$ に応じて、先ず、スイッチ素子 S_{21} , S_{25} がオン状態となる。発光維持行程 I_c の期間中にはスイッチ素子 S_{27} はオン、スイッチ素子 S_{28} はオフを継続する。従って、コンデンサ C_{21} に蓄えられていた電荷に伴う電流がコイル L_{21} 、ダイオード D_{21} 、スイッチ素子 S_{21} 、スイッチ素子 S_{25} 、接続ライン 20、スイッチ素子 S_{27} 、接続ライン 40 及び行電極 Y_i を介して放電セルに流れ込む。これにより、行電極 Y_i の電圧は上昇する。次に、スイッチ素子 S_{23} , S_{25} がオン状態となり、直流電源 B_{13} の電圧 V_S がスイッチ素子 S_{23} 、スイッチ素子 S_{25} 、接続ライン 20、スイッチ素子 S_{27} 及び接続ライン 40 を介して行電極 Y_i に印加される。これにより、行電極 Y_i の電圧は電圧 V_S となる。次に、スイッチ素子 S_{22} , S_{25} がオン状態となり、行電極 X_i , Y_i 間の負荷容量 C_0 に蓄えられていた電荷に伴う電流が、行電極 Y_i 、接続ライン 40、スイッチ素子 S_{27} 、接続ライン 20、スイッチ素子 S_{25} 、コイル L_{22} 、ダイオード D_{22} 及びスイッチ素子 S_{22} を介してコンデンサ C_{21} に流れ込む。これにより、行電極 Y_i の電圧は下降する。以上の如き動作を、繰り返し実施することにより、維持パルス発生回路 I_Y は、維持パルス IP_Y を行電極 $Y_1 \sim Y_n$ に繰り返し印加する。

【0045】

このように発光維持行程 I_c では、第 1 サステインドライバ 7 及び第 2 サステインドライバ 8 各々が、正極性の維持パルス IP_X 及び正極性の維持パルス IP_Y を交互に繰り返し行電極 $X_1 \sim X_n$ 及び行電極 $Y_1 \sim Y_n$ に印加するのである。この時、壁電荷が存在している放電セル、つまり発光モードにある放電セルのみが、維持パルス IP_X 及び IP_Y が印加される毎に繰り返し放電(維持放電)し、その放電に伴う発光を繰り返す。

【0046】

以上の如く、一斉リセット行程 R_c のリセット放電によって形成された壁電荷が画素データ書込行程 W_c において消去されずに残留している放電セルのみが、発光維持行程 I_c にて繰り返し発光して表示画像を形成するのである。

・維持発光行程の後、消去行程では、列電極 $D_1 \sim D_m$ に正極性の消去パルス AP が印加され、同時に行電極 $Y_1 \sim Y_n$ に負極性の消去パルス EP が印加される。これにより、非発光モードの放電セルでは行電極には正の壁電荷が、行電極 X 及び列電極には負の壁電荷がそれぞれ僅かに残留した状態となるために、列電極と行電極との間で放電を起こしやすい状態になる。

【0047】

この後、次のフィールドの一斉リセット行程 Rc に入り、そして画素データ書込行程 Wc 、発光維持行程 Ic 及び消去行程の順に上記の動作が繰り返される。

発光維持行程 Ic において、維持パルスが印加されたとき、所定量の壁電荷が蓄積され、発光モードとなっている放電セルでは、放電開始電圧以上の電圧が加わり、放電電流が流れるので発光する。しかしながら、放電電流が流れる経路の一部が上記したようにスイッチモジュール SWX 、 SWY としてモジュール化されているので、配線パターンの長さ、幅を最適化することができる。すなわち、配線長を短くし、配線幅を太くすることができる。よって、配線パターンにおけるインダクタンス成分が小さくなるので、駆動パルス波形のリップルが小さくなり、駆動パルス電圧が増大し、結果として輝度及び発光効率を向上させることができる。

【0048】

図9は駆動パルスとして維持パルスのリップルの減少を示している。すなわち、図9(a)及び(B)に示すように、スイッチ素子 S_{11} のオン期間に負荷容量 C_0 を充電する充電電流 I_1 が流れ、スイッチ素子 S_{13} のオン期間に発光モードにある放電セルに放電電流 I_2 が流れ、スイッチ素子 S_{12} のオン期間に負荷容量 C_0 からの放電電流 I_3 が流れる。上記のモジュール化により配線パターンにおけるインダクタンス成分を減少させたために、これらの電流の立ち上がり特性が向上し、図9(c)に示すように維持パルスの波形は、図9(d)に示した従来の維持パルスに比べてリップルが小さくなる。

【0049】

リセットパルス RP_X 、 RP_Y の電圧値 V_{RX} 、 V_{RY} は維持パルスの電圧値 V_S よりも高い。そのため、リセットパルス発生時に共振回路内のスイッチ素子に電源

・B 1 1, B 1 3 の出力電圧 V_S 以上の電圧が印加される。よって、マスク回路（スイッチ素子 S 1 5, S 2 5）を設けていないと高耐圧のスイッチ素子が必要となる。マスク回路をなすスイッチ素子 S 1 5, S 2 5 は、リセットパルス $R P_X$, $R P_Y$ の発生中にはオフとなり、リセットパルス発生回路 R X, R Y 内の電源 B 1 2, B 1 4 の出力電圧 V_{RX} , V_{RY} と共振回路の電源 B 1 1, B 1 3 の出力電圧 V_S と電位差によって共振回路内のスイッチ素子として高耐圧のものを使用する必要がないようにしている。

【0050】

上記した実施例においては、正極性の維持パルス $I P_X$, $I P_Y$ 、負極性のリセットパルス $R P_X$ 及び正極性のリセットパルス $R P_Y$ が生成され、リセットパルスの各電圧値が維持パルスの電圧値 V_S よりも高くなる例を示したが、維持パルス及びリセットパルスの極性はこれに限定されない。

以上のように、本発明によれば、クランプ回路及びマスク回路とをモジュール化したことにより、駆動パルス波形を改善し、輝度や発光効率を向上することができる。

【図面の簡単な説明】

【図 1】

従来のリセットパルス及び維持パルス発生回路を示す回路図である。

【図 2】

図 1 の回路の信号の波形及びその発生タイミングを示す図である。

【図 3】

本発明を適用した P D P 装置の構成を示すブロック図である。

【図 4】

1 フィールドを複数のサブフィールドに分割した例を示す図である。

【図 5】

第 1 及び第 2 サステインドライバの内部構成を示す回路図である。

【図 6】

各駆動パルスの印加タイミングを示す図である。

【図 7】

- ・ 1 フィールドの発光駆動パターンを示す図である。

【図 8】

列及び行電極への駆動パルスの印加タイミング並びに各スイッチ素子のオンオフタイミングを示す図である。

【図 9】

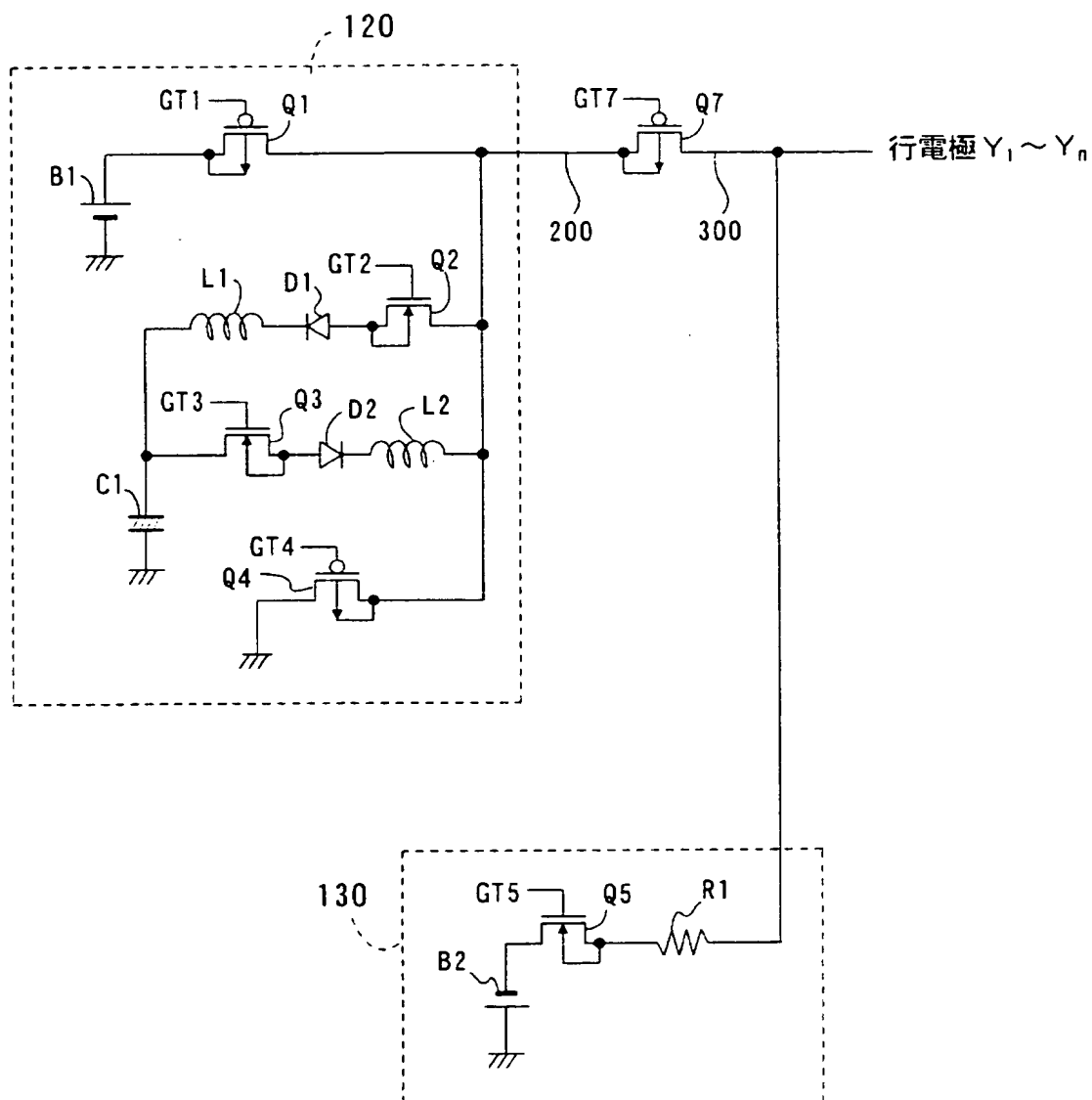
維持パルスのリップルが小さくなることを説明する図である。

【符号の説明】

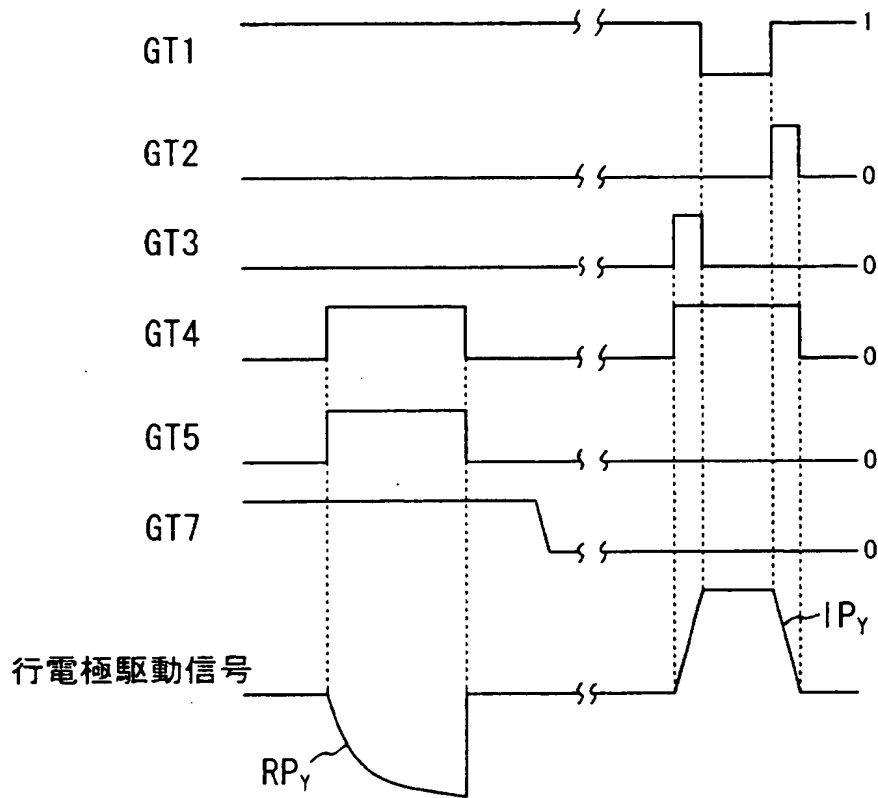
- 1 A/D変換器
- 2 駆動制御回路
- 6 アドレスドライバ
- 7 第1サステインドライバ
- 8 第2サステインドライバ
- 10 PDP

【書類名】 図面

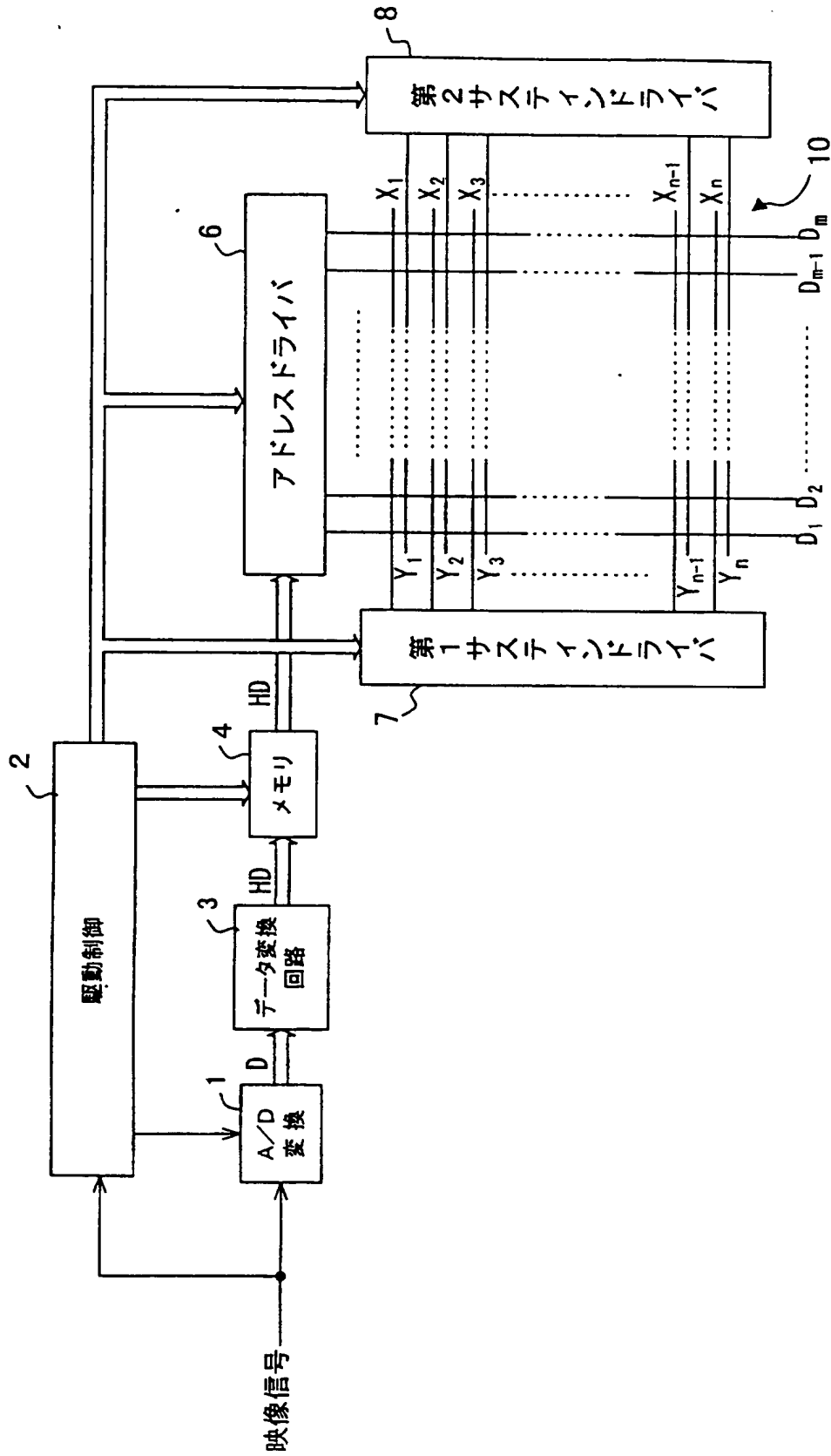
【図 1】



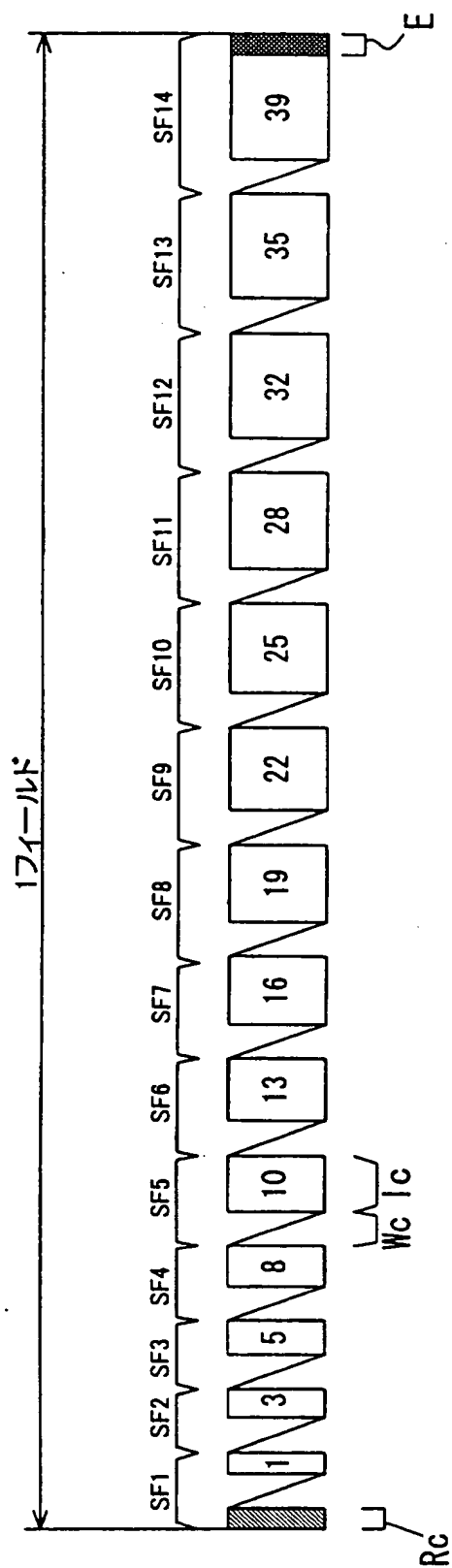
【図 2】



【図 3】

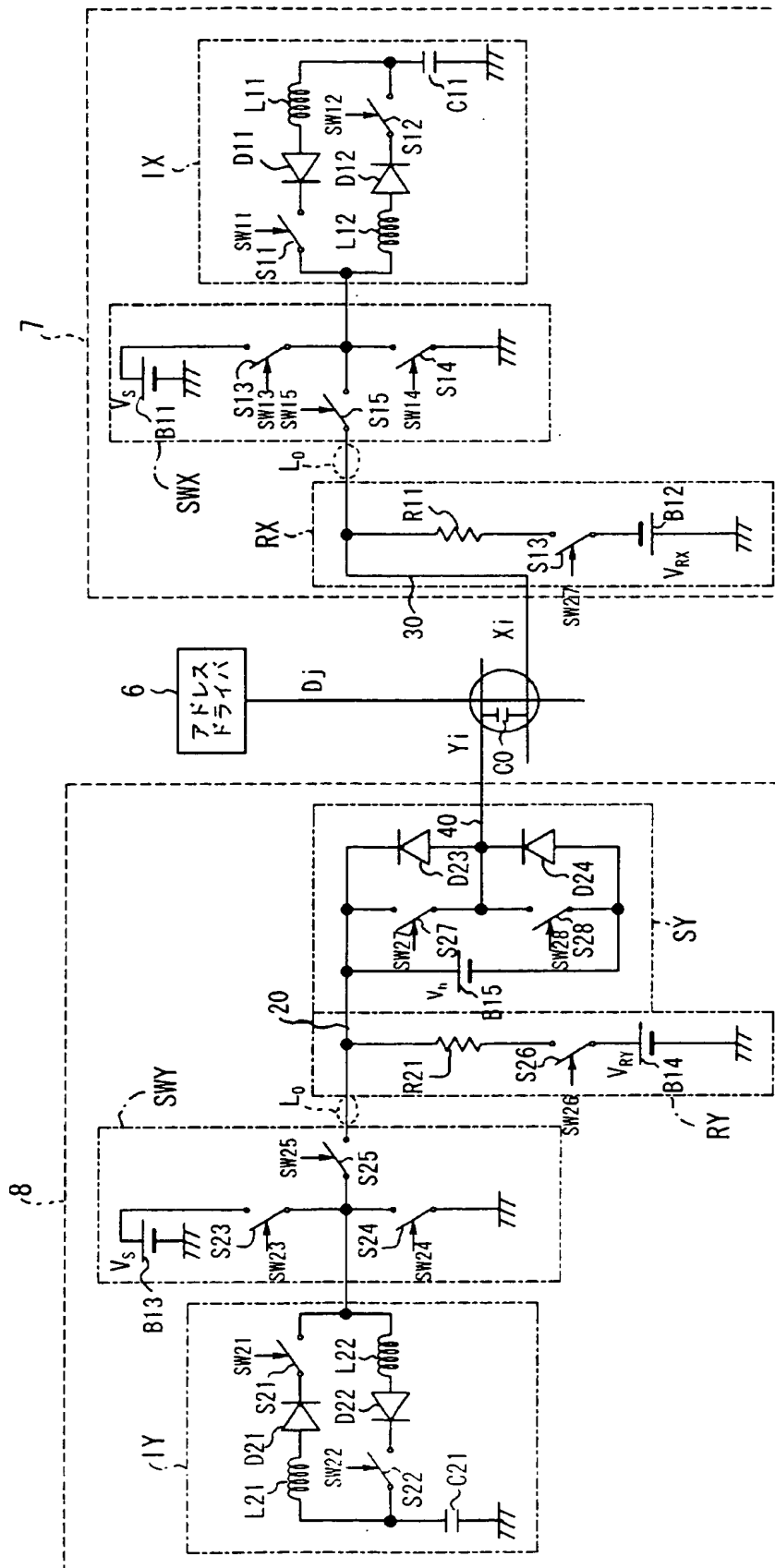



【図 4】



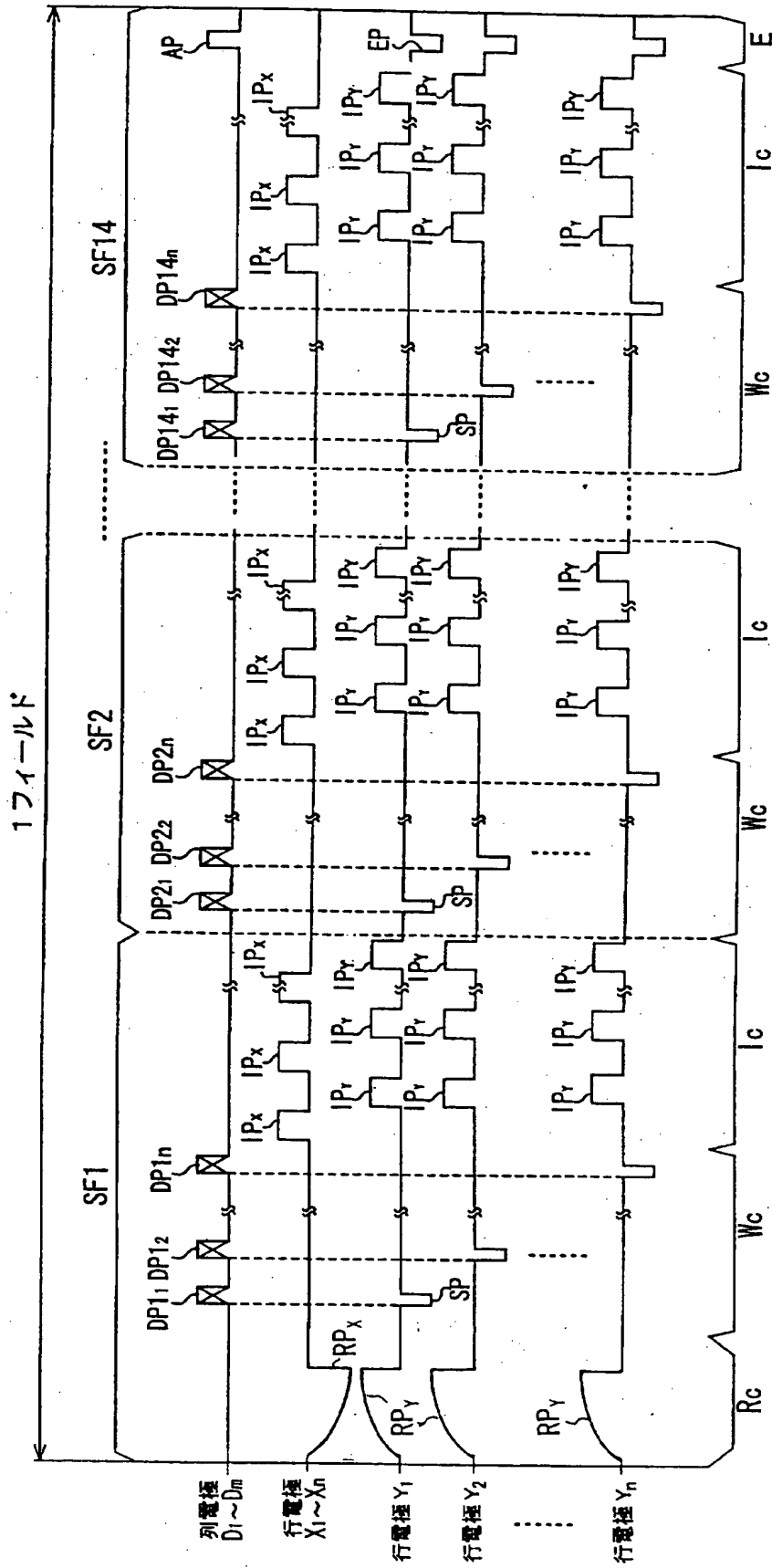


・【図 5】





【図 6】

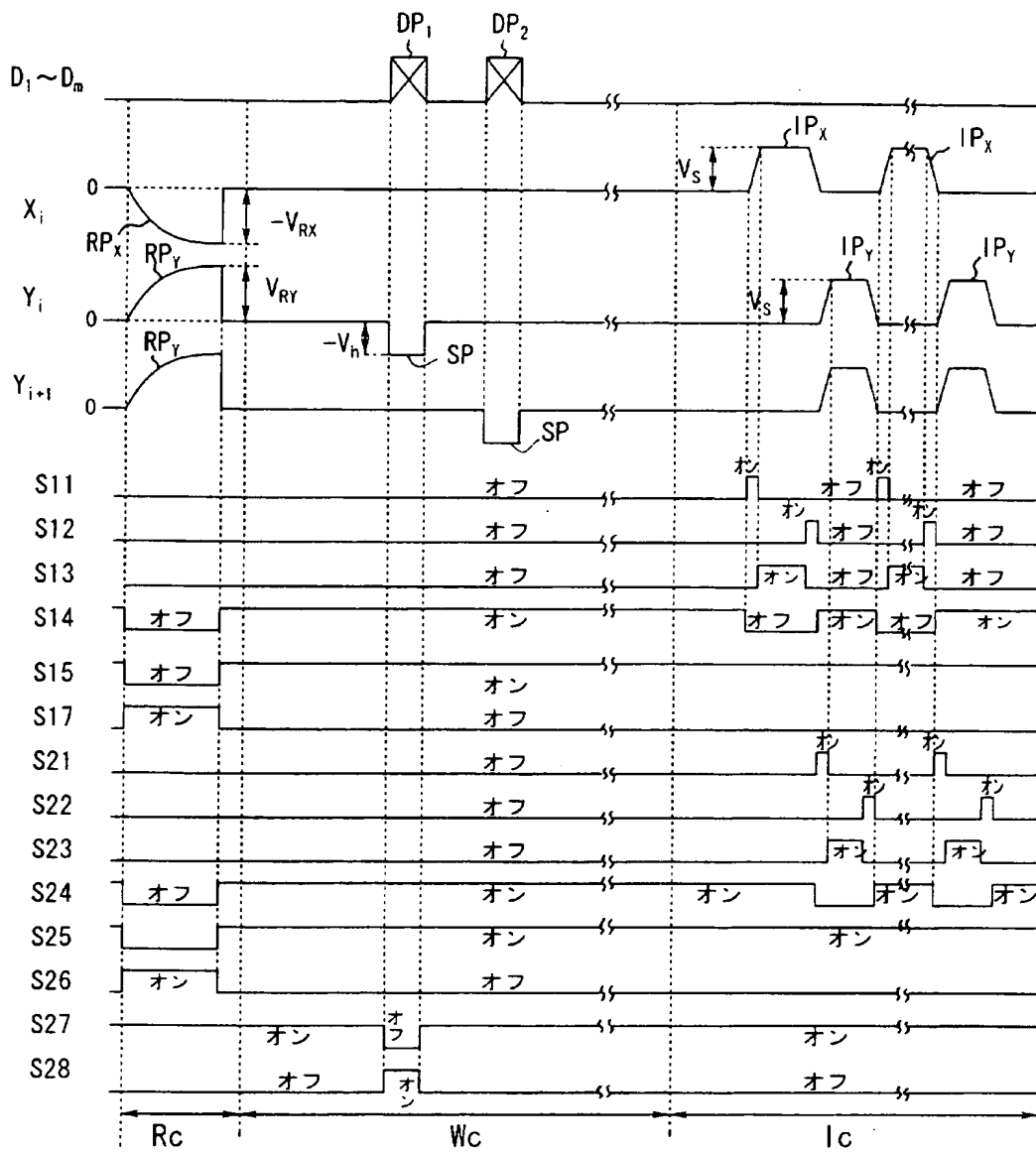


【図 7】

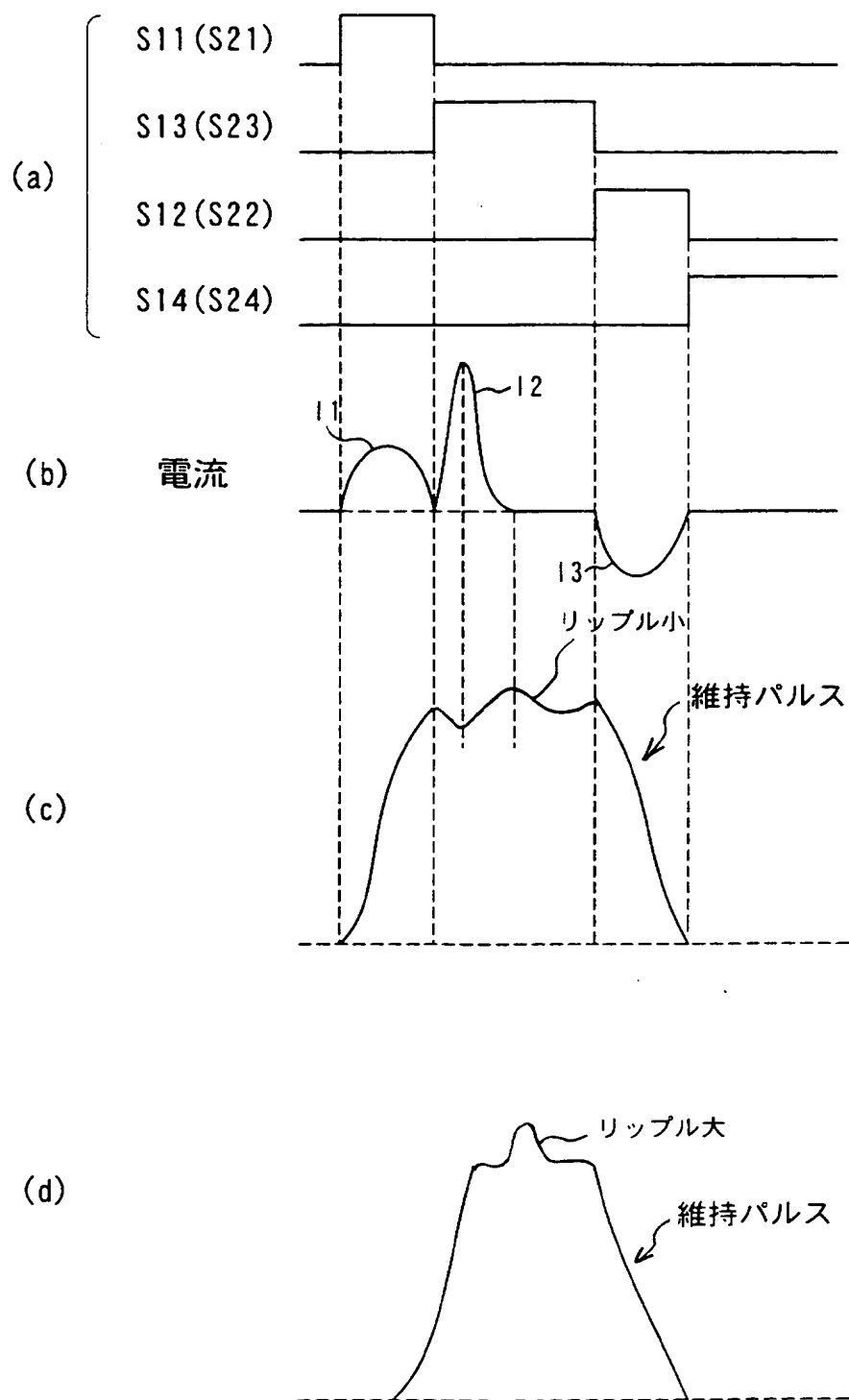
Ds	HD														1フィールド発光駆動パターン														発光 輝度	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	SF 1	SF 2	SF 3	SF 4	SF 5	SF 6	SF 7	SF 8	SF 9	SF 10	SF 11	SF 12	SF 13	SF 14		
0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	●															0
0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	○	●														1
0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	○	○	●													4
0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	○	○	○	●												9
0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	○	○	○	○	●											17
0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	○	○	○	○	○	○	●									27
0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	40
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	56
1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	75
1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	97
1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	122
1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	150
1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	182
1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	217
1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	○	○	○	○	○	○	○	○	○	255

黒丸:選択消去放電
白丸:発光

【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 駆動パルス波形を改善し、輝度や発光効率を向上することができる表示パネルの駆動装置を提供する。

【解決手段】 インダクタを含む正逆電流路を択一的に形成する共振回路と、共振回路の出力端を選択的に電源電位にクランプする第1スイッチ及び共振回路の出力端を選択的に接地電位にクランプする第2スイッチとを含むクランプ回路と、を有し、第1駆動パルスを発生してこれを出力ラインに印加する第1駆動パルス生成部と、第2駆動パルスを発生してこれを行電極群に印加する第2駆動パルス生成部と、第1駆動回路発生部によって行電極群に第1駆動パルスが印加されている間においてはオン状態となって出力ラインと行電極群とを接続し、かつ第2駆動パルス生成部によって行電極群に第2駆動パルスが印加されている間においてはオフ状態となり出力ラインと行電極間の接続を遮断するマスク回路とを備え、クランプ回路及びマスク回路とをモジュール化した。

【選択図】 図5

特願 2 0 0 3 - 0 5 9 6 1 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 1 6]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都目黒区目黒 1 丁目 4 番 1 号

氏 名

パイオニア株式会社